

Flow controller for shared bus used by plural resources

Patent Number: ☐ US5448701
Publication date: 1995-09-05
Inventor(s): METZ JR WALTER C (US); RINDOS III ANDREW J (US)
Applicant(s): IBM (US)
Requested Patent: ☐ JP6261052
Application Number: US19920994849 19921222
Priority Number(s): US19920994849 19921222
IPC Classification: G06F13/36
EC Classification: G06F13/362
Equivalents:

Abstract

The flow controller utilizes intelligent adapters to connect plural resources to a bus and a central arbiter that decides which adapters have access to the bus for the next bus cycle. Each adapter has an input buffer for transmitting data onto the bus, an output buffer for receiving data from the bus and a target register that identifies the destinations of the data in the input buffer. Each adapter communicates over control lines separate from the bus the following information: if its input buffer is nearly full, if its output buffer is either nearly empty or nearly full and the contents of its target register. The central arbiter gives highest priority to those adapters having nearly full input buffers with data for non-full output buffers, next highest priority to those adapters having nearly empty output buffers with data targeted by an input buffer and lowest priority to adapters with less than full input buffers having data for non-empty output buffers.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

AL

(18)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-261052

(43)公開日 平成6年(1994)9月16日

(31)Inventor	発明者	発明者住所	FI	技術分野
H 0 4 L 12/40				
G 0 6 F 13/38	3 1 0 D 8044-5B		H 0 4 L 11/ 00	3 2 0
	7341-5K			

審査請求 有 請求項の数 6 頁 (全 16 頁)

(21)出願番号 特開平5-302083
(22)出願日 平成5年(1993)12月1日
(31)優先発明番号 9 8 4 8 4 9
(32)優先日 1992年12月22日
(33)優先発明国 米国 (US)

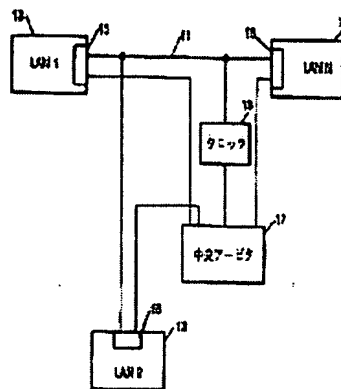
(71)出願人 290009531
インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国10504、ニューヨーク州
アーモンク (書地なし)
(72)発明者 ウォルター・ケード・マップ、ジュニア
アメリカ合衆国27605、ノースカロライナ
州ローラー、パーキ・ドライブ 1712
(74)代理人 弁理士 倉田 昭 (外 9 名)

最終頁に続く

(54)【発明の名称】 共用バスのフロー制御装置

(57)【要約】

【目的】 複数の装置によって使用される共用バスのフロー制御装置を提供すること。
【構成】 複数の装置をバス及び中央アービタに接続するために、フロー制御装置が複数のアタチを使用する。中央アービタは次のバス・サイクルにおいてバスへのアクセスを許可するアタチを決定する。各アタチは、バス上へデータを転送するための入力バッファ、バスからデータを転送するための出力バッファ、及び入力バッファ内のデータの転送を制御するリセット・レジスタを有する。各アタチはバスとは別の専用ラインを介して、次の装置を転送する。すなわち、その入力バッファがニアリ・フルであるか、その出力バッファがニアリ・エンプティ・フルであるか、及びそのリセット・レジスタの内容である。



【0004】制御装置の熱に、従来技術ではバス上におけるデータのトラフィックを制御するアービタを使用する。アービタは典型的には、どの特定の装置がバスへのアクセスを獲得するかを決定する優先順位機構を使用す。

【0005】更に従来のアービタは、任意のバス・アクセス要求のレスポンスが必ずしも恒常的でない。だが考慮する。アービタは受信側からの状態を考慮しない。従って、ある時間間隔アービタが送られて来ない特定の受信側要求は、処理データに欠いてしまう可能性がある。この状態は装置の動作が不安定な原因となる。

【0008】本発明の更に別は、送信側装置が処置するバス・データの有をなにか時間量を最小化するように、送信側装置側は、送信側装置にもとづいてバスをアクセス可能なバス装置を選択する、利用バスのためのプロ

【例題を解決するための手順】本例題は、東大問で最も、
 されるパスへの最短の距離よりよりアクセスを容易にする方
 法及びリストを生成する。各アクセスはパス上に存在する
 テータと配接する第1の配接テータ、及びパス上のテ
 ータを逆する第2の配接テータを有する。第1及び第2
 の配接テータの各々は、第3の配接テータを有する。本例題
 の方法では、第1の配接テータ及び第2の配接テータに含
 まれる各配接は、第3の配接テータと配接する。次に、
 本例題は、この配接を逆する。第3の配接テータは、第
 2の配接テータからこのテータを逆するのためにパスへテ
 ータを有する。またこのパスが第2の配接テータにテ
 ータを逆するにパスへテータを有する。第2の配接テ

【0010】本発明の1態様によれば、各第1の配線子
回路のターゲットによりターゲット指定される第2の配線子
回路の乗算に関するターゲット情報が取得され、この情報
が汎用度情報と一緒に使用されて、どの装置がバスへの
アクセスを許可するかが決定される。

[illegible]

明される。こうした配位化学のセットが重要視される
こと、ニアリ・ツルイ数の最良な配位化学を総括する
のを図解するためにも、それから例としてハスへのアグネス
が提供される。こうしたセッティングは非常に興味深い。
本知財に示すように、配位化学のセッティングは「sempit-
ernally」に示すように、その配位化学のセッティングがニアリ
・エンパティ（inevitably empty）であることが暗示する。こ
うした配位化学のセッティングは必ずしも、それに始まる一
タガがある。最良の配位化学のセッティングに存在する。この
配位化学がハスへのアグネスを提供される。これにより
配位化学のセッティングがエンパティ状態になることが置
かれ、それによって古典ガラータの式により正確に使用さ
れることになる。

(B) 5.0.0

[illegible][illegible]

【0027】図3の論理回路の動作を説明するために、最初にアタプタ#1からアタプタ#2からパケット・デー

【D08-1】中東・ペルシアには、ライン川に合流した
タフタにより更新されるレジスタR以外に、別のアプ
タがバスAへのアクセスを所与する方を制御するために
減速回路を含む。図4より図1とは、アプタにより供給
される制御ラインから、追加の制御ラインFを生じする
減速回路を有す。図4において、制御ラインAIは、ア
プタP₁に対応する中東・ペルシア・レジスタRI、及び
アプタP₂の制御ラインFGからFによって生成される。ライ
ンAIが容易に使用可能。これはアプタP₁とP₂との人カ
バッファRIで示される。同様に、少なくとも1番の乗
付の出カバッファIラインFGからFNCで示される。

対応するラッチを有することを示す。図4に示されるように、n番のANDゲート41が提供され、1ゲート41は2入力を受け、それぞれレジスタRIのそれぞれ1番目のビット、及び対応するラインI1の反転に対応する。ANDゲート41の全ての出力は、各ORゲート42のそれぞれの入力に接続される。ORゲート42の出力は前線ラインA1で示される。

【0032】図5は前線ラインD1を生成する前線回路を示す。ラインD1が空論状態の時、これは各アタックの入力パッファ内、アタック#1の出力パッファに対応するラッチが存在することを示す。中央アービタ内のn番のレジスタの1番目のビットが、ORゲート45のそれぞれの入力に接続される。ORゲート45の出力は前線ラインD1で示される。

【0033】図6は前線ラインE1を生成する前線回路を示す。E1が空論状態の時、これはアタック#1がその入力パッファIRI1内に、少なくとも1番のニアリ・エンブディの出力パッファIラインT0で示されるラッチを有することを示す。n番のANDゲート47が提供され、各ANDゲート47は2入力を受け、それぞれの入力にはレジスタRIのそれぞれ1番目のビット及びラインT0 I111が接続される。ANDゲート47からの出力は、ORゲート48のそれぞれの入力に接続される。ORゲート48の出力はラインE1で示される。

【0034】前線ラインA1及びD1は共に2つの前線ライン、すなわちA1及びD1を生成するために使用される。前線ライン生成用の前線回路図7に示される。ラインI1が空論状態、すなわちI=1の時、これは少なくとも1番の乗フルの出力パッファに接続される。あるiに於いてA1が1であるラッチを有する。少なくとも1番のニアリ・フルの入力パッファが存在することを示す。n番のANDゲート51が存在し、各ANDゲート51は2入力を受け、一方は前線ラインT1 I11に接続され、他方は前線ラインA1に接続される。ANDゲート51の出力はORゲート52のそれぞれの入力に接続される。ORゲートの出力は前線ラインIで示される。

【0035】図8は前線ラインOを生成する前線回路を示す。ラインOが空論状態の時、これは少なくとも1番のニアリ・エンブディ出力パッファが存在し、このパッファに於いて、少なくとも他の1番のアタックの入力パッファ内にラッチが存在する。あるiに於いてD1が1であることを示す。n番のANDゲート55が存在し、各ANDゲート55の一方の入力は前線ラインT0 I11に接続され、他方は前線ラインD1に接続される。ANDゲート55の出力はORゲート57のそれぞれの入力に接続される。ORゲートの出力は前線ラインOで示される。

【0036】前線ラインは中央アービタ17の複数の前線回路に接続決定され、これらの回路は空論及び空論のアタックを決定する。前線ラインIが1、少なくとも1番の乗フルの出力パッファに接続可能なラッチを有する。少なくとも1番のニアリ・フルの入力パッファが存在することを示す。1の場合、図9及び図10の前線回路が使用される。前線ラインIが0、少なくとも1番の乗フルの出力パッファに接続可能なラッチを有する。ニアリ・フルの入力パッファが存在しないことを示す。1の場合、図12及び図13の前線回路が使用される。

【0037】最初に、図9及び図10の前線回路について説明する。これらの回路はニアリ・フル状態で、ラッチを失う可能性のある入力パッファが存在する時に使用される。図9に示される前線回路は、出力M1を1にセットすることにより、空攻アタック1の入力パッファを決定する。2番以上のニアリ・フルの入力パッファが存在する場合、第1のパッファ・アービタ51は、最初にバスへのアクセスを獲得するニアリ・フルの入力パッファI及びそのアタックIを決定する。空攻アタックIが決定された後、空攻アタックIの出力パッファIが、図10の前線回路に示される81を1にセットすることにより決定される。空攻アタックは、ニアリ・エンブディの出力パッファが存在する可能性があることにより、選択される。存在しない場合、前線回路は乗フルの出力パッファが存在する可能性がある。2番以上のニアリ・エンブディの出力パッファが存在するか、2番以上の乗フルの出力パッファが存在する場合、第2のパッファ・アービタ52が最初にバスへのアクセスを獲得する出力パッファを決定する。

【0038】図11の回路は第1のパッファ・アービタ51に2つの入力セットを提供する。21及び22で示される第1の入力セットは、n番のANDゲート53により提供される。1番目のANDゲート53は前線ラインI111に接続される入力、前線ラインA1に接続される第2の入力を受け、第1のパッファ・アービタ51への第2の入力セットはP1 I111及びP1 I111で示される。第1のパッファ・アービタを空攻アタックIに於いて所望の優先順位にプログラムする。入力P1 I111はペナルティであり、各々はラインP1 I111に構成され、iはアタック#iに於ける優先順位の1番目のビット123をコード化し、例えば8番のアタックが存在する場合、各ペナルティP1 I111は8本のラインを有する。そして、アタック#1はラインP1 I111、P12、及びP123を有し、アタック#2はラインP1 I111、P12、及びP123を有する。

【0039】入力P1 I111はアタックの優先順位を選択するようにプログラムされる。例えばアタック#1がパッファ・アービタを所有する場合、その入力P1 I111は111123であり、アタック#2が2番目にパッファ・アービタを所有する場合、その入力P

1.1.21 は1.1.0である。入力0.1m1が静的である場合、各ラインを所定の電圧に接続することによりプログラムされ、入力が動的な場合、アダプタに接続する長さ単位が時間と重に実化する。

1000-9 ④1は多岐分岐で、第1のバツファ・アータビタが決定する。⑤第1のスタンデージ・Aの出力は、⑥第1のバツファ・アータビタに送られる。各スタンデージはANDゴート7を有し、それらの出力は全てORゴート8の入力に接続される。第1のスタンデージは入出力P111の最大ビット幅の信号強度を決定する。このようにして、⑦第1のスタンデージと入出力P111の最大ビット幅の信号強度は決定する。各スタンデージにおいて、⑧第1のANDゴート7の出力は、各々が各スタンデージに対応する。⑨第1のANDゴートは一方の入力からそれぞれの人カエに接続される。他方の人カインプリには接続される。ここで⑩スタンデージにも参照し、⑪アツブツに接続する。例えば⑫スタンデージの⑬のANDゴート1は、その人カ及びP111に接続される。ANDゴート5の出力は、ORゴート5のそれぞれの人カに接続される。各スタンデージはまた、他の各スタンデージとアツブツ7を共有する。ORゴート6の出力は、各々のスタンデージとアツブツ7の一方の人カに接続される。⑭第1の各スタンデージとアツブツ7の他方の人カは、ラインP1に接続される。従って、第1のスタンデージの⑮の各スタンデージとアツブツ7は、P111の人力を受ける。各々のスタンデージとアツブツ7の出力はインプット72により反転され、ANDゴート73の出力に接続される。⑯第1のANDゴート72が決定する。第1のスタンデージは、⑰第1のANDゴート73の他方の人カに入力に接続される。⑱第2、第3スタンデージ以降では、⑲第1のANDゴート73Aの他方の人カは、全てのスタンデージの⑳第1のANDゴートの出力に接続される。バツファ・アータビタの最終スタンデージ②のANDゴートの出力は、M1至M26となる。

1004 11 これらのランタイムはMINIMUMに決定され、4時間に入力される。この問題は通常、サブプロダクトを有する。各サブプロダクトに対し、連続して四角は四角の75%を供給される。四角の75%は必要である。各サブプロダクトは、元の材料の1ステージANDゲートで7.2の倍数の2ステージANDゲート7.8、8.1、及び9のRゲート2.8を有する。出力が11はサブプロダクト8により生成される。サブプロダクト8はANDゲート7.7、ANDゲート7.9、ANDゲート8.1、及び9Rゲート2.8を含む。従って、各四角75%には、元のこうしたサブプロダクト8が許容される。元のサブプロダクトの中心から、1個目のサブプロダクトが生成され、次に生成される。各四角75%は1個目のサブプロダクト8を有する。サブプロダクト8とそれを生成する連続したサブプロダクトに反対して、4個目の四角75%の全ての1ステージANDゲート7.7の一方のみが四角。元のランタイムに生成される。4個目の四角75%の5個目のサブ

3ビットを15回にわたって、第1ステージANDゲート77の出力のほうには、レジスタRのそれぞれの1ビットのビットに接続される。1番目の2ステージANDゲート78、81が生成される。つまり、エンパイヤ・基地のANDゲート77は、その入力に等しい。すなわち、ライン0-11、ED、およびラインANDゲート77の出力である。つまり、基地のANDゲート78は1次の入力に等しい。すなわち、第1ステージANDゲート77の出力、ラインEDからの戻り入力、およびライン7からの戻り入力である。第2のANDゲート79、81からの出力は、それぞれのORゲート79の出力に接続される。1回目の79ビットは、全てのORゲート79の出力17ビットからの出力によって形成される。また、21を生成するORゲート79の入力に接続される。

[T0-04] ライン21乃至26は第3バグファ・アビリティ8に人力を要し、これらによる次のバグファ・アビリティ5と同一である。バクトル人力がP0-111乃至P0-1n1ガ、第2のバグファ・アビリティ5に提供される。これらのバクトル人力は、国5のバクトル人力がP-111)乃至P-1nn)と同様に機能する。このバグファ・アビリティの出力カラムには結果変数を注する。ガは決定され、第2のバグファ・アビリティ5の出力は、変数ライン8乃至26を有する。これらの順序ラインは、バス1-1上の次のブロック・データに記述する注付データを決定する。

【0-04-4】四1:2及び四1:3を等分すると、1:1=5に
 対応して対角とされる距離四時が等分される。四1:2の四時
 には左側アブタを押し出すために使用される。この四時
 は、2:アリアーエンプティの出力カバパアを右するアブタ
 に要求量を供給し、次に導つ7の出力カバパアを右する
 アブタが要求される。出力は四1:3の四時分で使用
 されて、最終アブタと定規する。最終アブタ7はこれ
 は、最終とされた左側アブタに対応するアブタを右する
 のが特徴される。

9の倍数である。第1回と第2回の四角は第3回のバツ、アービタ
 9を適用し、これは第2回のバツ、アービタと第3回のバツ、
 51と同等である。第4回は第2回の51と第3回の51と第4回の
 ドルである。第5回は第2回の11と第3回の11と第4回の11と第
 5回の11である。第6回は第2回の2と第3回の2と第4回の2と第
 5回の2と第6回の2である。第7回は第2回の3と第3回の3と第
 5回の3と第6回の3と第7回の3である。第8回は第2回の4と第3
 回の4と第5回の4と第6回の4と第7回の4と第8回の4である。第
 9回は第2回の5と第3回の5と第5回の5と第6回の5と第7回の5
 と第8回の5と第9回の5である。第10回は第2回の6と第3回の6
 と第5回の6と第6回の6と第7回の6と第8回の6と第9回の6と第
 10回の6である。第11回は第2回の7と第3回の7と第5回の7と第
 6回の7と第7回の7と第8回の7と第9回の7と第10回の7と第11
 回の7である。第12回は第2回の8と第3回の8と第5回の8と第
 6回の8と第7回の8と第8回の8と第9回の8と第10回の8と第11
 回の8と第12回の8である。第13回は第2回の9と第3回の9と第
 5回の9と第6回の9と第7回の9と第8回の9と第9回の9と第10
 回の9と第11回の9と第12回の9と第13回の9である。第14回は
 第2回の10と第3回の10と第5回の10と第6回の10と第7回の10
 と第8回の10と第9回の10と第10回の10と第11回の10と第12
 回の10と第13回の10と第14回の10である。第15回は第2回の11
 と第3回の11と第5回の11と第6回の11と第7回の11と第8回の11
 と第9回の11と第10回の11と第11回の11と第12回の11と第13
 回の11と第14回の11と第15回の11である。第16回は第2回の12
 と第3回の12と第5回の12と第6回の12と第7回の12と第8回の12
 と第9回の12と第10回の12と第11回の12と第12回の12と第13
 回の12と第14回の12と第15回の12と第16回の12である。第17
 回は第2回の13と第3回の13と第5回の13と第6回の13と第7回の13
 と第8回の13と第9回の13と第10回の13と第11回の13と第12
 回の13と第13回の13と第14回の13と第15回の13と第16回の13
 と第17回の13である。第18回は第2回の14と第3回の14と第5
 回の14と第6回の14と第7回の14と第8回の14と第9回の14と第
 10回の14と第11回の14と第12回の14と第13回の14と第14回の14
 と第15回の14と第16回の14と第17回の14と第18回の14である。第
 19回は第2回の15と第3回の15と第5回の15と第6回の15と第7
 回の15と第8回の15と第9回の15と第10回の15と第11回の15と第
 12回の15と第13回の15と第14回の15と第15回の15と第16回の15
 と第17回の15と第18回の15と第19回の15である。第20回は第2
 回の16と第3回の16と第5回の16と第6回の16と第7回の16と第8
 回の16と第9回の16と第10回の16と第11回の16と第12回の16と第
 13回の16と第14回の16と第15回の16と第16回の16と第17回の16
 と第18回の16と第19回の16と第20回の16である。第21回は第2
 回の17と第3回の17と第5回の17と第6回の17と第7回の17と第8
 回の17と第9回の17と第10回の17と第11回の17と第12回の17と第
 13回の17と第14回の17と第15回の17と第16回の17と第17回の17
 と第18回の17と第19回の17と第20回の17と第21回の17である。第
 22回は第2回の18と第3回の18と第5回の18と第6回の18と第7
 回の18と第8回の18と第9回の18と第10回の18と第11回の18と第
 12回の18と第13回の18と第14回の18と第15回の18と第16回の18
 と第17回の18と第18回の18と第19回の18と第20回の18と第21
 回の18と第22回の18である。第23回は第2回の19と第3回の19と第
 5回の19と第6回の19と第7回の19と第8回の19と第9回の19と第
 10回の19と第11回の19と第12回の19と第13回の19と第14回の19
 と第15回の19と第16回の19と第17回の19と第18回の19と第19
 回の19と第20回の19と第21回の19と第22回の19と第23回の19
 である。第24回は第2回の20と第3回の20と第5回の20と第6回の20
 と第7回の20と第8回の20と第9回の20と第10回の20と第11回の20
 と第12回の20と第13回の20と第14回の20と第15回の20と第16
 回の20と第17回の20と第18回の20と第19回の20と第20回の20と第
 21回の20と第22回の20と第23回の20と第24回の20である。第25
 回は第2回の21と第3回の21と第5回の21と第6回の21と第7回の21
 と第8回の21と第9回の21と第10回の21と第11回の21と第12回の21
 と第13回の21と第14回の21と第15回の21と第16回の21と第17
 回の21と第18回の21と第19回の21と第20回の21と第21回の21と第
 22回の21と第23回の21と第24回の21と第25回の21である。第26
 回は第2回の22と第3回の22と第5回の22と第6回の22と第7回の22
 と第8回の22と第9回の22と第10回の22と第11回の22と第12回の22
 と第13回の22と第14回の22と第15回の22と第16回の22と第17
 回の22と第18回の22と第19回の22と第20回の22と第21回の22と第
 22回の22と第23回の22と第24回の22と第25回の22と第26回の22
 である。第27回は第2回の23と第3回の23と第5回の23と第6回の23
 と第7回の23と第8回の23と第9回の23と第10回の23と第11回の23
 と第12回の23と第13回の23と第14回の23と第15回の23と第16
 回の23と第17回の23と第18回の23と第19回の23と第20回の23と第
 21回の23と第22回の23と第23回の23と第24回の23と第25回の23
 と第26回の23と第27回の23である。第28回は第2回の24と第3
 回の24と第5回の24と第6回の24と第7回の24と第8回の24と第9
 回の24と第10回の24と第11回の24と第12回の24と第13回の24と第
 14回の24と第15回の24と第16回の24と第17回の24と第18回の24
 と第19回の24と第20回の24と第21回の24と第22回の24と第23
 回の24と第24回の24と第25回の24と第26回の24と第27回の24と第
 28回の24である。第29回は第2回の25と第3回の25と第5回の25と第
 6回の25と第7回の25と第8回の25と第9回の25と第10回の25と第
 11回の25と第12回の25と第13回の25と第14回の25と第15回の25
 と第16回の25と第17回の25と第18回の25と第19回の25と第20
 回の25と第21回の25と第22回の25と第23回の25と第24回の25と第
 25回の25と第26回の25と第27回の25と第28回の25と第29回の25
 である。第30回は第2回の26と第3回の26と第5回の26と第6回の26
 と第7回の26と第8回の26と第9回の26と第10回の26と第11回の26
 と第12回の26と第13回の26と第14回の26と第15回の26と第16
 回の26と第17回の26と第18回の26と第19回の26と第20回の26と第
 21回の26と第22回の26と第23回の26と第24回の26と第25回の26
 と第26回の26と第27回の26と第28回の26と第29回の26と第30
 回の26である。第31回は第2回の27と第3回の27と第5回の27と第
 6回の27と第7回の27と第8回の27と第9回の27と第10回の27と第
 11回の27と第12回の27と第13回の27と第14回の27と第15回の27
 と第16回の27と第17回の27と第18回の27と第19回の27と第20
 回の27と第21回の27と第22回の27と第23回の27と第24回の27と第
 25回の27と第26回の27と第27回の27と第28回の27と第29回の27
 と第30回の27と第31回の27である。第32回は第2回の28と第3
 回の28と第5回の28と第6回の28と第7回の28と第8回の28と第9
 回の28と第10回の28と第11回の28と第12回の28と第13回の28と第
 14回の28と第15回の28と第16回の28と第17回の28と第18回の28
 と第19回の28と第20回の28と第21回の28と第22回の28と第23
 回の28と第24回の28と第25回の28と第26回の28と第27回の28と第
 28回の28と第29回の28と第30回の28と第31回の28と第32回の28
 である。第33回は第2回の29と第3回の29と第5回の29と第6回の29
 と第7回の29と第8回の29と第9回の29と第10回の29と第11回の29
 と第12回の29と第13回の29と第14回の29と第15回の29と第16
 回の29と第17回の29と第18回の29と第19回の29と第20回の29と第
 21回の29と第22回の29と第23回の29と第24回の29と第25回の29
 と第26回の29と第27回の29と第28回の29と第29回の29と第30
 回の29と第31回の29と第32回の29と第33回の29である。第34
 回は第2回の30と第3回の30と第5回の30と第6回の30と第7回の30
 と第8回の30と第9回の30と第10回の30と第11回の30と第12回の30
 と第13回の30と第14回の30と第15回の30と第16回の30と第17
 回の30と第18回の30と第19回の30と第20回の30と第

第1のバッファ・アービタは第51の出力がM1=1となり、それによりアダプタ#1が最終アダプタとして定義される。これは図10のアダプタ#1に帰属する回路75のレジスタR1を制御する。ここで、第1ステージANDゲート77が許可されるからである。

【0052】しかしながら、別のアダプタが、乗算の出力バッファにターゲット指定されるターゲット・エンリ・フルの入力バッファを有する場合、第1のバッファ・アービタ#1は、どのアダプタが最終アダプタであるかを判断する。例えば、アダプタ#1の他に、アダプタ#2がエンリ・フルの入力バッファを有する場合、両方のライン21及び22がハイとなり、第1のバッファ・アービタ#1に入力される。第1のバッファ・アービタはペクトル入力P1(1)及びP1(18)により、アダプタ#1またはアダプタ#2のどちらが高い優先順位を有するかを判断する。ここでアダプタ#1が優先順位P1(1)=111を有し、アダプタ#2がより低い優先順位P1(18)=101を有するものと仮定する。図11を参照すると、第1ステージの最終結果ゲート71は、入力P1(1)及びP1(18)の最上位ビットのにおける0をフィルタ出力する。最上位ビットは両者とも1のため、第1ステージは組合する。第1及び第2の最終結果ゲート73の出力は、第1ステージに渡される。これは中間ビットを比較する。ここではP1(1)が1を有するのに対し、P1(18)が0を有するため、P1(1)がP1(18)に勝つことになる。従って、第1の最終結果ゲート73の出力が1となり、第1のステージに渡される。第2の最終結果ゲート73の出力は0となり、第2のステージからブロックされる。アービタ#1の出力はM1=1となり、他の全ての出力は0となる。

【0053】図10において、アダプタ#1に帰属する回路107が許可される。第1ステージANDゲート77は、アダプタ#1によりターゲット指定される出力バッファを判断する。R1(1)=1であるため、アダプタ#2に帰属する回路85が許可される。第2ステージANDゲート75、81は、ターゲット指定されるいずれかの出力バッファがエンリ・エンブディを判断する。そうでない場合、E1=1なので、単に乗算の出力バッファのゲート回路が禁止される。E1=1は、図8の回路において、R1(1)=1且つT0(12)=1による。従って、エンリ・エンブディANDゲート73がハイ出力を生成し、第2のバッファ・アービタ#2へ入力されるライン21がハイとなる。他のアダプタがエンリ・エンブディの出力バッファを有さない場合、第2のバッファ・アービタは82=1を生成し、アダプタ#2を最終アダプタとして定義する。

【0054】しかしながら、例えばアダプタ#3が新たなエンブディ出力バッファを有し、アダプタ#1の入力バッファによりターゲット指定される場合、第2のバッ

ファ・アービタ#2へ入力されるライン23がハイとなる。第2のバッファ・アービタは、ペクトル入力P0(1)及びP0(18)を比較し、アダプタ#2またはアダプタ#3のどちらが高い優先順位を有するかを判断する。アダプタ#2がより高い優先順位を有する場合、82=1となり、第2のステージの全ての出力は0となる。

【0055】エンリ・エンブディに対し、アダプタ#1の入力バッファによりターゲット指定される出力バッファのいずれが有効でない場合、「乗算」回路のANDゲート81が許可される。これはすなわち、E1の戻転が1で且つF1の戻転が1であることによる。こうして、乗算の出力バッファの選択が許可される。

【0056】以上述べたように、図8及び図10の回路を使用することにより、中央アービタは、バスにおいて次にターゲット指定するためにバスへのアクセスを有するアダプタを制御する。乗算の出力バッファを有するアダプタに対してターゲット指定されるエンリ・フルの入力バッファを有するアダプタが、バッファ・アービタを優先される。最初に、バッファ・アービタを所有する最終アダプタが定義される。最終アダプタが定義されると、次に最終アダプタによりターゲット指定される出力バッファから、最終アダプタが定義される。エンリ・エンブディの出力バッファは、乗算の出力バッファよりも高い優先順位が優先される。

【0057】エンリ・フルの入力バッファを有するアダプタが存在しない場合、E1=0となり、図12及び図13の回路が使用される。最初に出力バッファを選択し、次に入力バッファを選択するために、次に本アルゴリズムが使用される。最初に、O=1の場合、すなわち、あるアダプタの入力バッファによりターゲット指定される。エンリ・エンブディの出力バッファが存在する1、T0(1)及びOの両者が1である出力バッファの優先順位を容易化する。O=1は、他の少なくとも1つのアダプタに、アダプタ#1の出力バッファに帰属するターゲットが存在することを意味する。それ以外の場合には、O=1及び戻転F1の両者が1である出力バッファ、すなわち、乗算の出力バッファの全ての優先順位を容易化する。次に、バッファ・アービタを所有する出力バッファを選択する。次にこれをアダプタ#1と仮定する。次に、R1(1)=1である入力バッファの優先順位を容易化する。各ターゲット・レジスタの各ビットが調整される。最後に、最も高い優先順位により容易化される入力バッファを選択する。

【0058】例えば、アダプタ#2がエンリ・エンブディの出力バッファを有するものとする。中央アービタ73は、アダプタ#2の出力バッファにターゲット指定されるターゲットを有する別のアダプタが存在するかどうかを判断する。ここでアダプタ#1の入力バッファが、アダプタ#2にターゲット指定されるターゲットを有すると仮定す

ると、 $O=1$ となる。これは図5の四路において、 $R1121=1$ が $O2=2$ を生成し、図5の四路において、 $T0121=1$ 、 A が $O2=2$ の出力バッファが「エンプティ」及び $O2=1$ が、 $O=1$ を生成することによる。 $O=1$ の場合、図5の四路の「エンプティ」状態のANDゲートは全て許可され、 A が $O2=2$ の出力バッファに接続するANDゲートに入力される他の入力、 $T0121=1$ なので全て1となり、 A がANDゲートは全て1となる。 A がANDゲート及び反転Fが全て1のため、これはライン22上に、 A の出力が「A=ビタ」への入力を生成する。

【0050】 A の出力が「A=ビタ」へのライン22が有効状態である。この場合、 A が $O2=2$ の出力バッファが「A=ビタ」により選択される。例えば、 A が $O2=2$ が「エンプティ」の出力バッファを有し、それに対するデータが存在する場合、入力バタールP0121及びP0121が A の出力バッファにより比較される。 A の出力が「A=ビタ」は出力80を生成する。 A が $O2=2$ が出力バッファ「A=ビタ」を所有する場合、 $O2=1$ となる。

【0050】 A の出力が「A=ビタ」のこの出力は、図5の四路において A が $O2=2$ に関連するANDゲート101の全てを許可する。 A が $O2=2$ の出力バッファに接続するデータが存在する A が $O2=2$ は、そのレジスタが $R1121=1$ にセットされる。 A が $O2=2$ が A が $O2=2$ に接続するデータが存在する場合には、 $R1121=1$ である。これによりライン21がハイとなる。それ以外の A が $O2=2$ が A が $O2=2$ に接続するデータが存在しない場合、 A の出力が「A=ビタ」は出力80を生成する。他の A が $O2=2$ は、他の全てのAND出力は0となる。 A が $O2=2$ は、入力バタールP0121及びP0121を比較する。これは図5と同じである。 A が $O2=2$ がより高い優先順位を有する場合、 A の出力が「A=ビタ」は出力80を生成する。

【0051】中央アビタ17は、他回路にも同時にバス11のバッカグラウンドで機能する。中央アビタはバス11とは別の専用ラインを介して、 A が $O2=2$ の周りで機能する。更に、中央アビタはデータがバス上を伝送されている間、バスをアクセスする A が $O2=2$ を決定する。

【0052】データはブロック・サイズにより、バス上へ伝送される。単純化のため、ブロック・サイズがローなものとする。ブロック1は全ての A が $O2=2$ 及び中央アビタを同期させる。例えば、第1のバス・サイクルの間、 A が $O2=2$ がブロック・データをバスを介して

A が $O2=2$ に送付する。更に第1のバス・サイクルの間、中央アビタは、第2のバス・サイクルの間バスへのアクセスを所有する次の A が $O2=2$ のセットを決定する。例えば、第2のバス・サイクルに接続して、中央アビタは、 A が $O2=2$ が A が $O2=2$ がブロック・データを送付すると決定する。

【0053】従来のアビタに対する本発明の利点は、 A が $O2=2$ からの最も最近の情報を取得することが可能である。本発明によれば、状態の変化が中央アビタを生成させない。例えば、 A が $O2=2$ が A が $O2=2$ に接続するデータが存在し、 A が $O2=2$ の入力バッファが「バス・サイクル」の間にまだフルになっていないものと決定する。他の入力バッファについてもフルでない場合、 A が $O2=2$ はその最大優先順位のために、バスへのアクセスを獲得できない。しかしながら、真実、バス・サイクルの終わり近くで、 A が $O2=2$ の入力バッファが「バス・サイクル」になり、ラインT111を空欄化するものとする。次のバス・サイクルの間、直前に中央アビタ17をリフレッシュするために、従来のラッチ回路が使用される。中央アビタは最も最近の情報によりバス・アクセスを決定するので、 A が $O2=2$ の「バス・サイクル」の入力バッファを解放するために、 A が $O2=2$ 及び A が $O2=2$ に対し、バスへのアクセスを提供する。

【0054】本発明はLANに関して述べられてきたが、本発明は複数の装置間でデータ転送を要求する他のアプリケーションにおいても使用可能である。例えば、本発明は自動音声認識（ATM）及び他のスイッチング装置に適用しても使用される。更に、本発明は、高速データ転送及び高帯域を要求するマルチメディア・アプリケーションにおいても使用される。

【0055】
【発明の効果】以上説明したように、本発明は、バスバスをアクセス可能な特定の装置を選択するフロー制御装置を提供し、このフロー制御装置はバスのバックグラウンドで動作するために、バス上におけるデータのストリームを最大化する。

【図面の簡単な説明】

【図1】ローカル・エリア・ネットワークなどの複数装置とサーバを介するバス、及び本発明の制御装置システムのブロック図である。

【図2】制御装置システムの詳細ブロック図である。

【図3】中央アビタ内のレジスタR1を更新する制御回路を示すブロック図である。

【図4】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図5】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図6】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図7】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図8】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図9】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図10】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図11】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図12】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図13】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図14】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図15】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図16】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図17】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図18】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図19】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図20】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図21】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図22】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図23】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図24】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図25】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図26】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図27】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図28】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図29】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図30】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図31】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図32】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図33】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図34】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図35】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図36】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図37】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図38】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図39】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図40】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図41】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図42】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図43】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図44】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図45】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図46】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図47】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図48】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図49】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図50】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図51】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図52】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図53】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図54】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図55】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図56】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図57】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図58】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図59】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図60】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図61】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図62】中央アビタ内において制御ラインを生成する制御回路を示す図である。

【図63】中央アビタ内において制御ラインを生成する制御回路を示す図である。

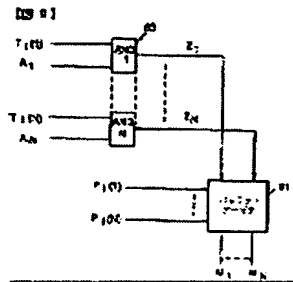
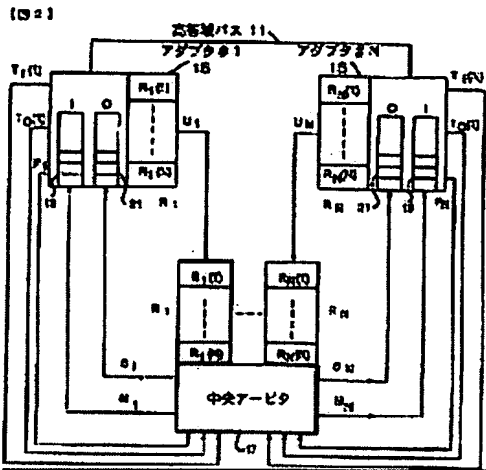
【図64】中央アビタ内において制御ラインを生成する制御回路を示す図である。

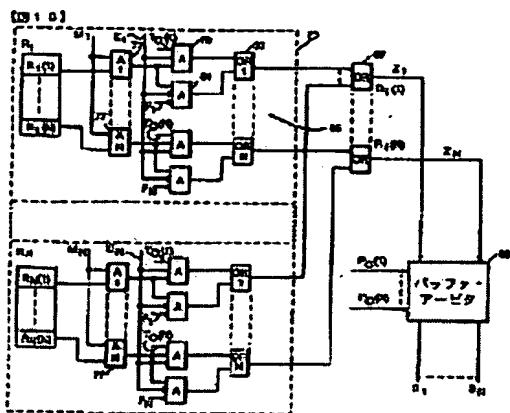
【図65】中央アビタ内において制御ラインを生成する制御回路を示す図である。

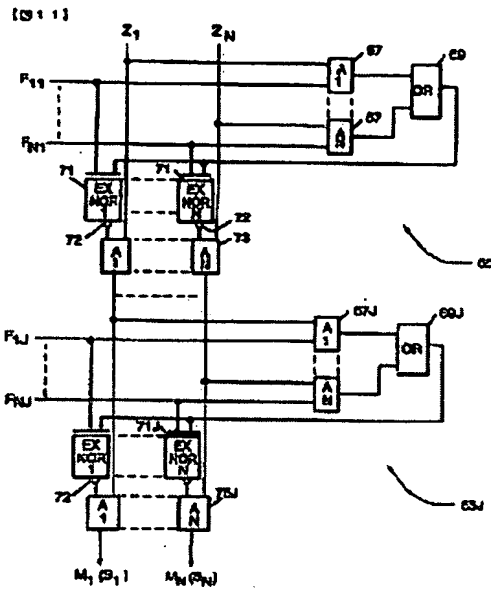
【図66】中央アビタ内において制御ラインを生成する制御回路を示す図である。

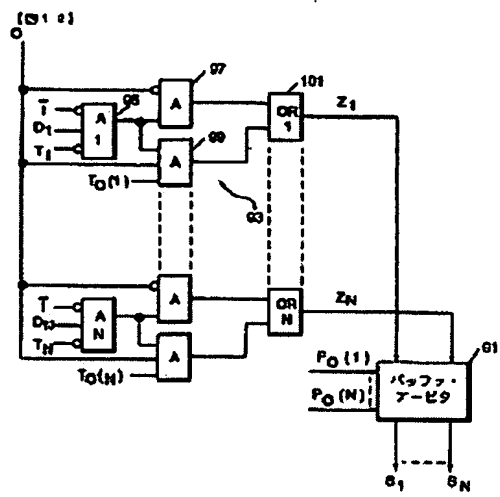
【図67】中央アビタ内において制御ラインを生成する制御回路を示す図である。

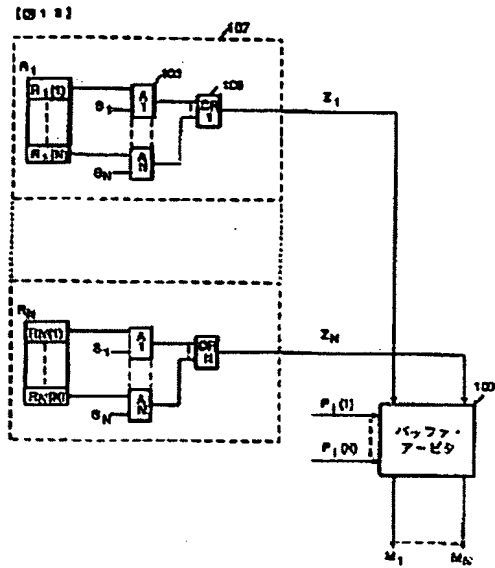
【図68】中央アビタ内において制御ラインを生成する制御回路を示す図である。











フロントページの略

特許発明者 アンドリュウ・グロウ・リンドス、サード
アメリカ合衆国 27207、ノースカロライナ
ロタラム、ウェームズ・ストリート 1421

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.